VERILOG

## Hardware Description Language

Código interpretado por un sintetizador

Circuito combinacional: salida se calcula únicamente a partir de las señales de entrada en ese mismo instante, sin elementos de almacenamiento. No hay reloj, único paso lógico. El único retraso es por la propagación de la señal

### El modulo:

Es la principal entidad de diseño de Verilog

Ejemplo:

* 3 entradas
* 2 salidas

module module\_simple

(

input wire A,

input wire B,

input wire C,

output wire x,

output wire y,

);

wire e;

Podemos parametrizar las entradas y las salidas

Todo dentro de un modulo se ejecutan a la vez, en paralelo, por lo que vamos a tener problemas de concurrencia

Obvio que las logicas secuenciales que depende de las entradas actuales y del estado interno previo, como un contador. El estado actual influye en el resultado junto con la entrada. Tiene memoria. Requiere un **señal de reloj** o un mecanismo que determine cuándo se actualiza el estado interno.

Interfaz:

* Puertos: I/O
* Parametros: nombres descriptivos, en mayuscula, son constantes

Variables:

* Son registros o wires con distintos tipos de datos

Wire: si no los definimos son de 1 bit

Reg: si o si los temenos que definer